

SW2303 多协议快充解决方案

1. 概述

SW2303 是一款高集成度的 Type-C 口/Type-A 口快充协议芯片，支持 PD、QC、FCP、高低压 SCP、AFC、SFCP 以及 PE 等主流快充协议，支持光耦反馈和 FB 反馈两种工作模式。SW2303 集成了 CV/CC 控制环路，Type-C 接口逻辑，快充协议控制器，以及多种安全保护功能。配合 ACDC 或 DCDC 以及少量的外围元器件，即可组成完整的高性能的 Type-C 口/Type-A 口快速充电解决方案。

2. 应用领域

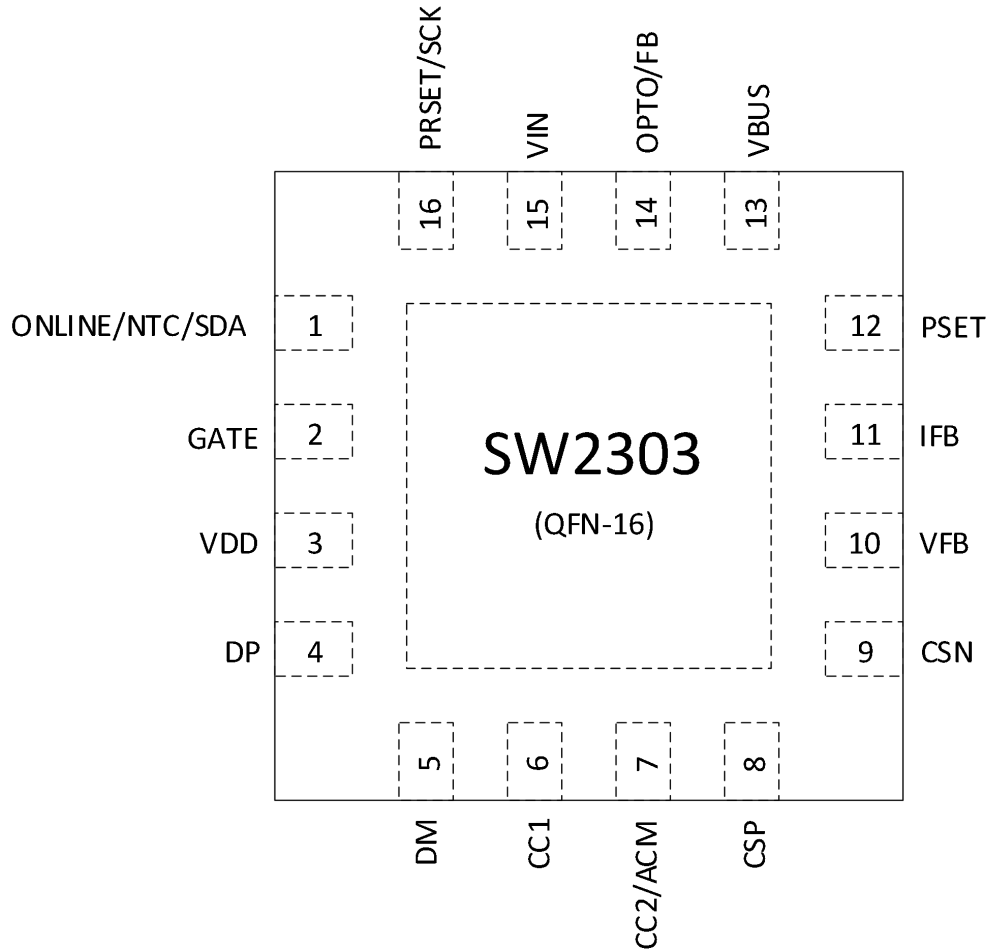
- 车充
- 适配器
- 插排

3. 规格

- **电源管理**
 - 宽输入电压范围 3.0~25V
 - 支持光耦反馈控制
 - 支持 FB 反馈控制
 - 集成 CV 和 CC 环路
 - 集成 VBUS 和 VIN 快速放电
 - 支持线路阻抗补偿
- **快充协议**
 - 支持 PPS/PD3.0/PD2.0
 - 支持 QC4.0+/QC3.0/QC2.0
 - 支持 FCP/高低压 SCP
 - 支持 AFC
 - 支持 PE1.1/PE2.0
 - 支持 SFCP
- **Type-C 接口**
 - 内置 USB Type-C 接口逻辑
 - 支持 DFP/Source 角色
 - 支持 VCONN 和 Emarker 功能
 - CC1/2 和 DPDM 引脚耐压大于 25V
- **BC1.2 模块**
 - 支持 BC1.2 DCP 模式
 - 支持苹果 2.4A 模式识别
 - 支持三星 2A 模式识别
- **保护机制**
 - 软启动
 - 输出过压保护
 - 输出欠压保护
 - 输入低电保护
 - 输出过流保护
 - 芯片过温保护
 - NTC 过温保护
- **系统控制**
 - 支持 NMOS/PMOS 通路管
 - 集成内部 Discharge
 - 支持 I2C 接口
 - 功率和电压档位灵活配置
 - 支持动态功率分配
- **QFN-16(4x4mm) 封装**
- **>±4kV ESD HBM**

4. 引脚定义及功能描述

4.1 引脚定义



4.2 引脚描述

Pin	Name	Function Description
1	ONLINE/NTC/SDA	多口应用中其他口在线检测；NTC 检测；I2C 的 SDA。
2	GATE	通路管开关控制，支持 NMOS 和 PMOS 开关驱动。
3	VDD	芯片 5.0V 电源，外挂 1uF 电容。
4	DP	USB 口的 DP 引脚。
5	DM	USB 口的 DM 引脚。
6	CC1	Type-C 口的 CC1；
7	CC2/ACM	Type-C 口的 CC2；复用成识别 A 口模式或 C 口模式的检测引脚。
8	CSP	检流正输入端。
9	CSN	检流负输入端。
10	VFB	电压环路补偿。

11	IFB	电流环路补偿。
12	PSET	总功率档位配置引脚，对地挂配置电阻。
13	VBUS	VBUS 检测和 discharge。
14	OPTO/FB	光耦驱动；FB 反馈端的驱动。
15	VIN	电源输入和 discharge。
16	PRSET/SCK	降低功率档位配置，对地挂配置电阻；I2C 的 SCK。
EPAD	GND	电源地。

5. 极限参数

Parameters	Symbol	MIN	MAX	UNIT
输入电压	VIN	-0.3	30	V
输出电压	VBUS	-0.3	22	V
通路控制	GATE	-0.3	28	V
光耦驱动	OPTO	-0.3	28	V
内部电源	VDD	-0.3	5.5	V
接口通信	CC1/CC2/DP/DM	-0.3	28	V
其它管脚电压	/	-0.3	6	V
节温		-40	+150	°C
存储温度		-60	+150	°C
ESD (HBM)		-4	+4	KV

【备注】超过此范围的电压电流及温度等条件可能导致器件永久损坏。

6. 推荐参数

Parameters	Symbol	MIN	Typical	MAX	UNIT
输入电压	VIN	3.0		25	V

7. 电气特性

($T_A = 25^\circ\text{C}$ ，除特别说明。)

Parameters	Symbol	Test Conditions	MIN	TYP	MAX	UNIT
供电电源						
VIN 输入电源	VIN		3.0		25	V
VIN 输入欠压门限	VIN_UVLO	VIN 输入电压下降		2.75		V
VIN 输入欠压门限迟滞	VIN_UVLO_HYS	VIN 输入电压上升		0.25		V
VDD 输出电压	VDD	VIN=5V		5.0		V

VDD 输出电流	I_{DD}	$V_{IN}=5V$		80		mA	
空载电流	I_Q	$V_{IN}=5V, I_{OUT}=0mA$		1		mA	
Type-C 接口							
CC 管脚输出电流	I_{CC_SOURCE}	Power Level=1.5A		180		uA	
	I_{CC_SOURCE}	Power Level=3.0A		330		uA	
BMC 码率	$f_{BitRate}$			300		Kbps	
BMC 幅度	V_{Swing}			1.125		V	
TX 输出阻抗	Z_{Driver}			54		Ω	
BC1.2 DCP 模式							
Apple 2.4A mode	V_{DP}/V_{DM}	Apple 2.4A mode 电压		2.7		V	
	R_{DP}/R_{DM}	Apple 2.4A mode 阻抗		30		k Ω	
Samsung 2A mode	V_{DP}/V_{DM}	Samsung 2A mode 电压		1.2		V	
	R_{DP}/R_{DM}	Samsung 2A mode 阻抗		100		k Ω	
HVDCP							
DATA 检测门限	V_{DATA_REF}			0.325		V	
DP 高 glitch 时间	$T_{GLITCH_DP_H}$			1250		ms	
DM 低 glitch 时间	$T_{GLITCH_DM_L}$			2		ms	
输出电压 glitch 时间	T_{GLITCH_CHANGE}			40		ms	
连续模式 glitch 时间	$T_{GLITCH_CONT_CHANGE}$			150		us	
DP 下拉电阻	R_{DAT_LKG}	$V_{DP}=0.6V$		600		k Ω	
DM 下拉电阻	R_{DM_DOWN}	$V_{DM}=0.6V$		20		k Ω	
过压和欠压保护							
输出过压门限	V_{bus_ovp}	相对于目标输出值		+2		V	
输出欠压门限	V_{bus_uvp}	相对于目标输出值		-2		V	
热关机保护							
过热关机门限	T_{SHDT}	温度上升		130		$^{\circ}C$	
过热关机迟滞	T_{SHDT_HYS}	温度下降		50		$^{\circ}C$	

8. 功能描述

8.1 Power 系统

V_{IN} 是芯片的供电输入，连接 AC-DC 或者 DC-DC 的输出端，用于给芯片和负载设备供电。其内部有放电通路，

用于特定情况下的快速放电。

VDD 是内部 LDO 输出的 5.0V 电源，主要用于芯片内部低压电路的供电。

8.2 反馈模式

VFB 引脚接补偿网络到 OPTO/FB 引脚，可以配置成光耦反馈模式，OPTO/FB 引脚用于驱动光耦二极管。

VFB 引脚接地，可以配置为 FB 反馈模式。OPTO/FB 引脚连接 AC-DC 或 DC-DC 的电阻反馈节点。

8.3 环路控制

SW2303 在光耦反馈模式下，自带恒压控制环路 (CV) 和恒流控制环路 (CC)。两个环路叠加的输出连接 OPTO/FB 引脚，用于驱动光耦，控制功率级的环路，类似于 TL431 的功能。CV 环路补偿通过 VFB 引脚和 OPTO/FB 引脚之间的补偿电路实现，而 CC 环路补偿通过 IFB 引脚和 OPTO/FB 引脚之间的补偿电路实现的。在实际应用中可调整器件参数来改善环路的稳定性以及响应速度。

8.4 接口模式

SW2303 支持 Type-C 和 Type-A 两种接口。CC2/ACM 引脚接到 VDD，可以配置为 Type-A 口；否则配置为 Type-C 口。

8.5 Type-C 接口

SW2303 集成了 Type-C 接口控制器，支持 DFP/Source 角色，当 UFP 设备接入时自动对其放电，UFP 设备移出时自动关闭通路。

当 UFP 设备连接时，SW2303 将会在 CC 引脚上广播 3A/1.5A 电流能力。

8.6 通路控制

SW2303 内部集成通路管驱动电路，支持 NMOS 和 PMOS。该驱动电路会自动检测外部通路管的类型然后切换到相应的驱动方式。

8.7 BC1.2 功能

SW2303 包含了 USB 智能自适应功能模块，其不仅支持 BC1.2 功能，以及中国手机充电器标准，还能很好的兼容苹果的大电流输出识别：

Apple 2.4A mode: DP=2.7V, DM=2.7V;

Samsung 2A mode: DP=1.2V, DM=1.2V。

8.8 PD 快充

SW2303 集成了 PPS/PD3.0/PD2.0 快充协议，支持多达 5 档 Fix PDO 以及 4 档 APDO，分别为 5V/9V/12V/15V/20V，3.3~5.9V/3.3~11V/3.3~16V/3.3~21V。最大输出电流可达到 5A。

8.9 QC 快充

SW2303 集成了 QC 快充协议，支持 QC4.0+/QC3.0/QC2.0，支持 ClassA/ClassB。QC2.0 输出支持 5V/9V/12V/20V。QC3.0 支持 3.6V~20V，200mV/Step。

QC2.0/QC3.0 根据 DP/DM 电压请求相应的输出电压，如下表：

接入设备		SW2303	
DP	DM	VOUT	Note
3.3V	3.3V	20V	
0.6V	0.6V	12V	
3.3V	0.6V	9V	
0.6V	3.3V	连续模式	200mV/Step
0.6V	GND	5V	

8.10 AFC 快充

SW2303 集成了 AFC 快充协议，输出支持 5V/9V/12V。

8.11 FCP 快充

SW2303 集成了 FCP 快充协议，输出支持 5V/9V/12V。

8.12 高低压 SCP 快充

SW2303 集成了高低压 SCP 快充协议，输出支持 5V@4.5A、4.5V@5A、10V@2A。

8.13 PE 快充

SW2303 集成了 PE2.0 及 PE1.1 快充协议，PE2.0 输出支持 5V~20V，500mV/Step。PE1.1 输出支持 5V/7V/9V/12V。

8.14 SFCP 快充

SW2303 集成了 SFCP 快充协议，输出支持 5V/9V/12V。

8.15 ADC

SW2303 集成了 12 bit ADC，可以对 VIN、VBUS、输出电流以及 NTC 进行采样。检流电阻的阻值可配置为 5mΩ/10 mΩ，推荐采用 1%精度、1206 封装的合金电阻。为滤除纹波干扰，推荐采用 510Ω和 1μF 组成的 RC 滤波网络。滤波后的信号以差分形式供给 CSP 和 CSN 引脚。各 ADC 通路的采样范围和精度如下表：

ADC 通路	范围	Step
VIN	0~30.72V	7.5mV
VBUS	0~30.72V	7.5mV
Iout	0~8.533A@10 mΩ 0~12.8A@5 mΩ	25/12 mA@10 mΩ 25/8 mA@5 mΩ
NTC 电压	0~2.048V	0.5mV

8.16 功率配置以及动态分配

SW2303 可以通过 PRSET/SCK、PSET、ONLINE/NTC/SDA 三个引脚配置芯片的输出功率以及动态分配功率策略。引脚的复用功能、输出功率以及降功率策略如下表所示：

PRSET/SCK	PSET	ONLINE/NTC/SDA	动态功率分配
SCK 上拉电阻	X	SDA	I2C 操作
接地	电阻配总功率	NTC	不支持
电阻配总功率	接地	ONLINE	不降功率
电阻配降功率	电阻配总功率	ONLINE	支持

电阻与功率档位的对应关系如下表所示：

配置功率	外挂电阻（1%）
100W	悬空
65W	36.5k
60W	27k
45W	19.6k
30W	13k
24W	7.5k
18W	3k

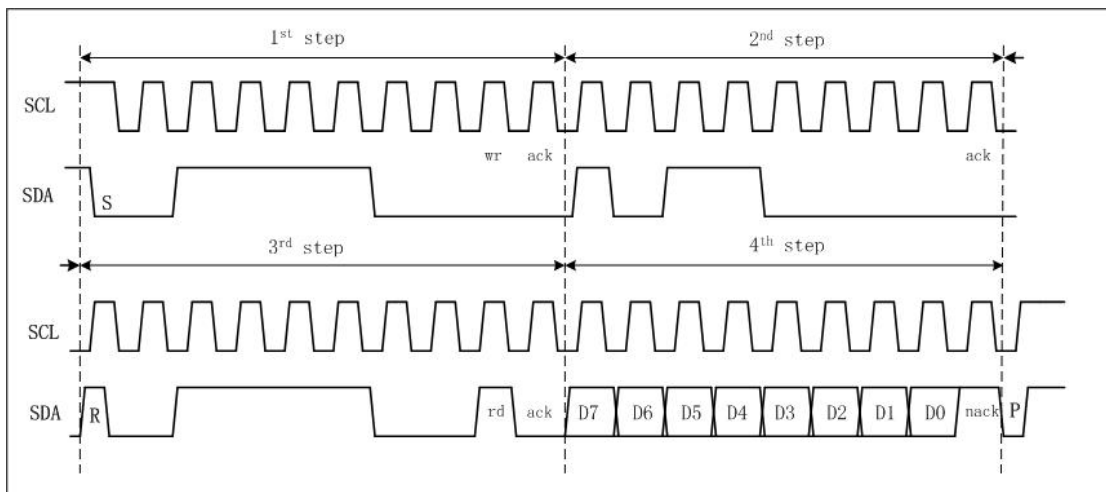
8.17 I2C 接口

SW2303 支持 I2C 接口，支持 100K/400K 通信速率。Master 可通过 I2C 接口读取芯片的状态信息。

读操作：

Slave address : 0x3C

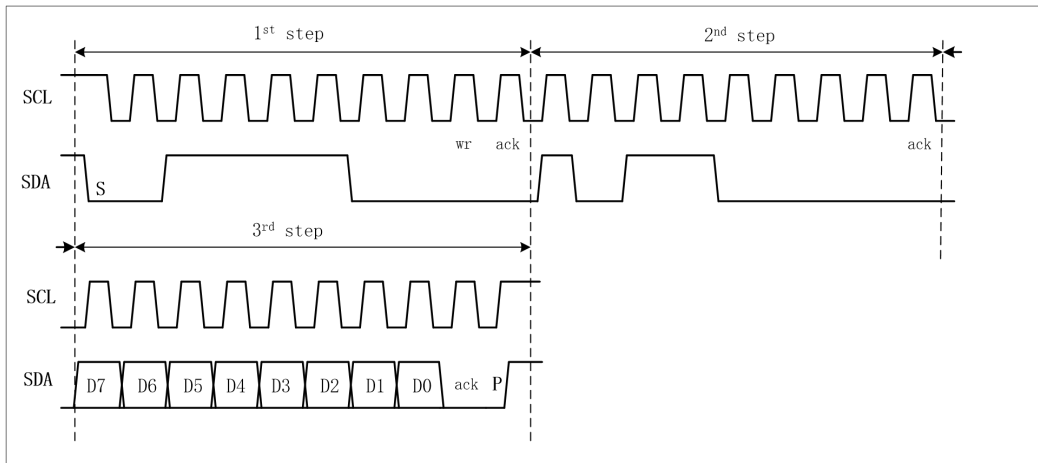
Register address: 0xB0



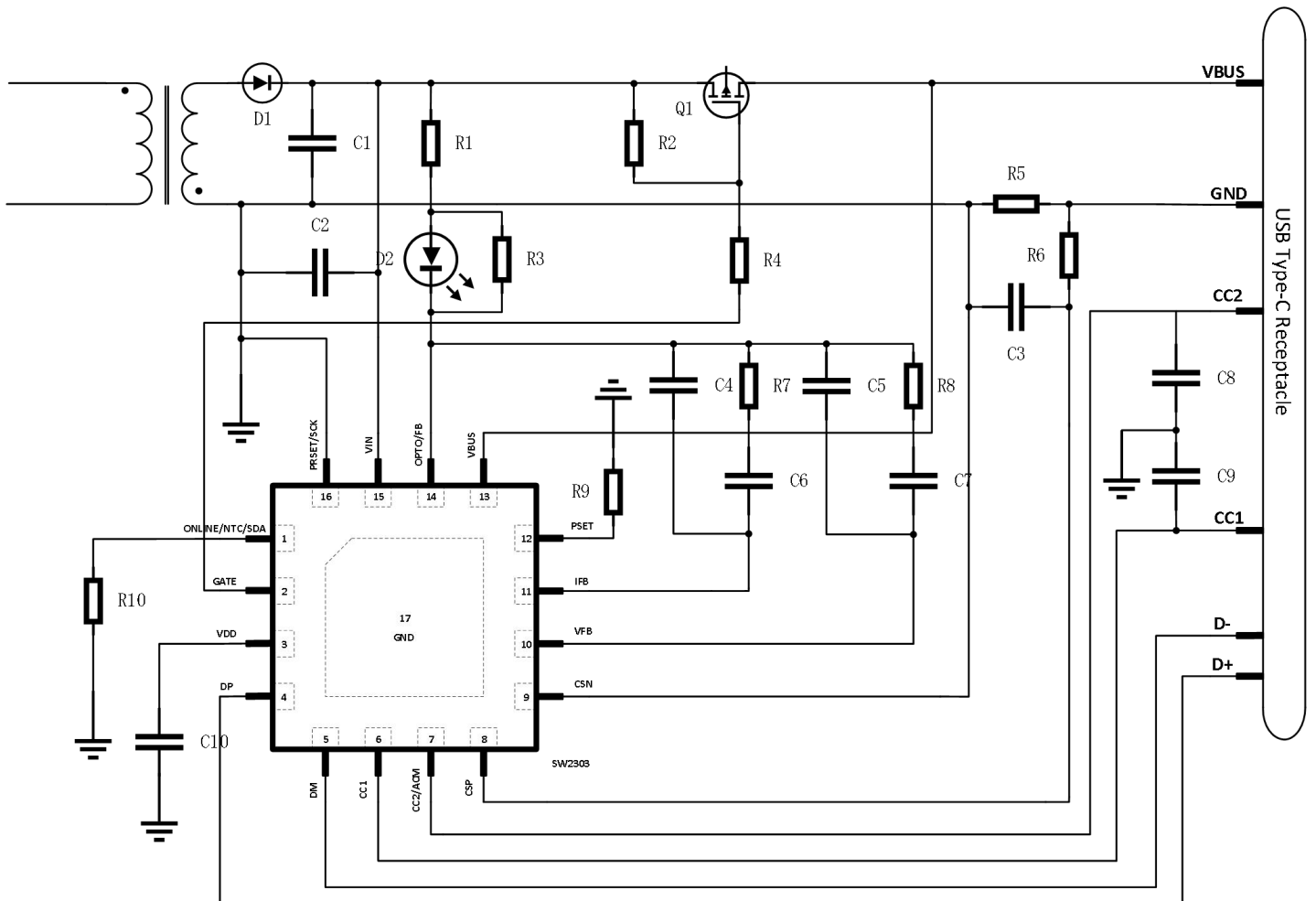
写操作：

Slave address : 0x3C

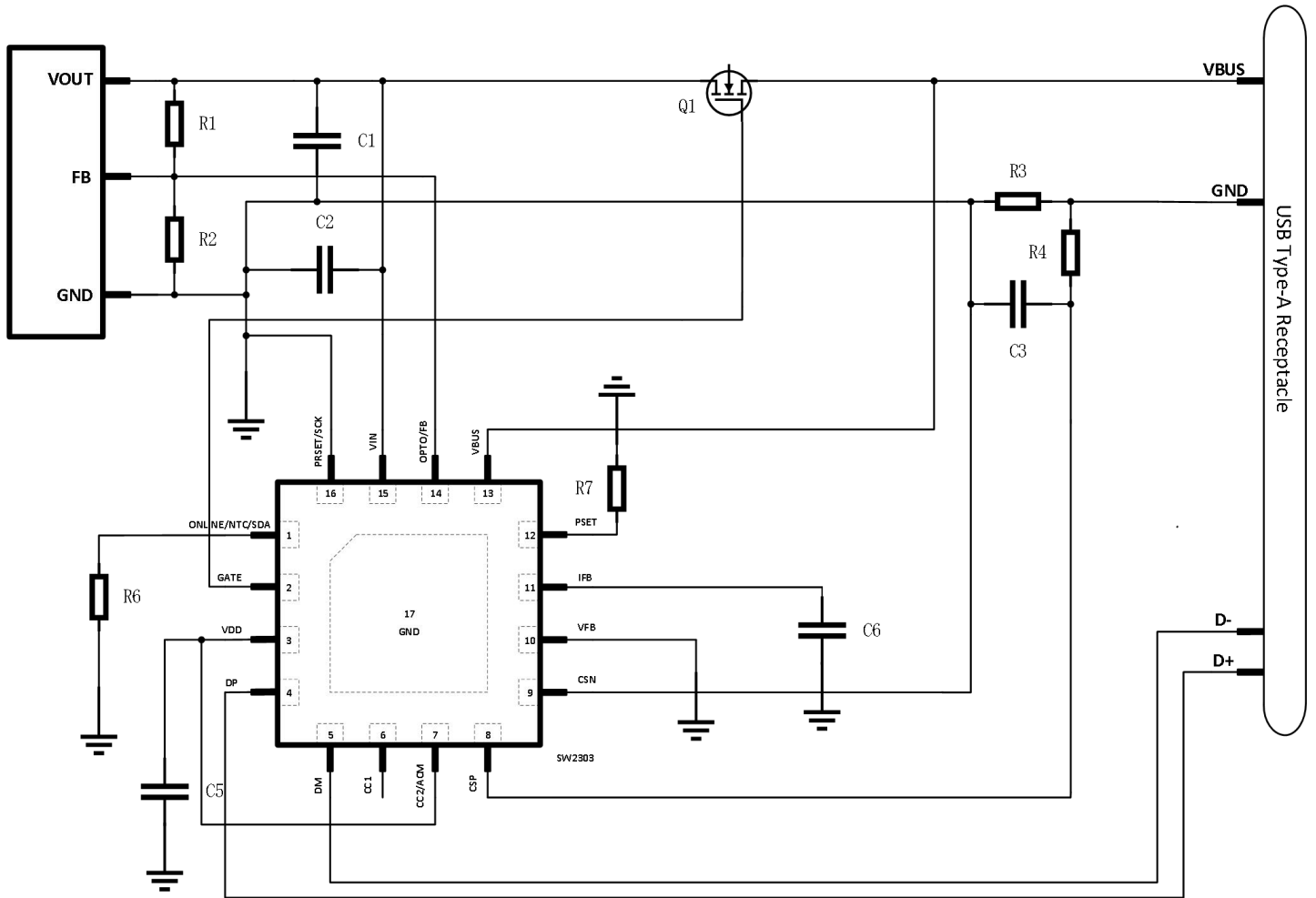
Register address: 0xB0



9. 典型应用电路图



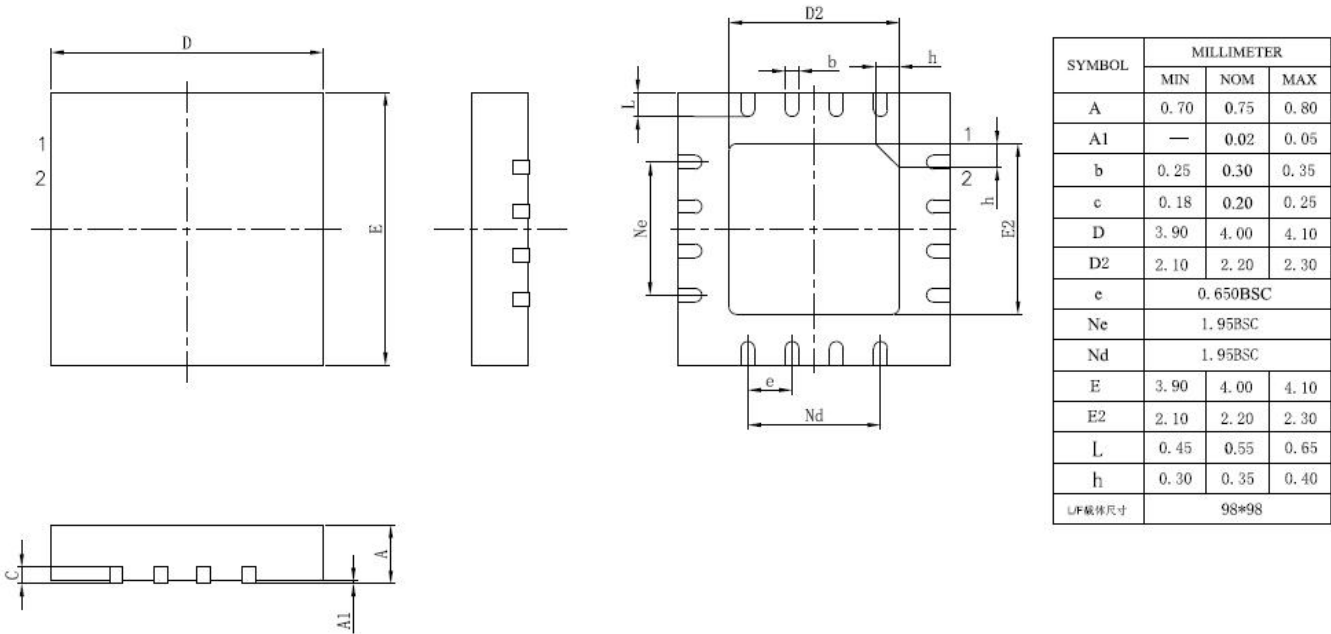
参考 1 (C 口, 光耦反馈, PMOS)



参考 2 (A 口, FB 反馈, NMOS)

10. 机械尺寸

10.1 QFN-16 封装图和封装尺寸



11. 版本历史

V1.0 初始版本;