

24V 3A 高效同步降压转换器

Check for Samples: [JZ5124](#)

特性

- 宽输入电压范围：4.5V 至 24V
- 输出电压范围：0.6V-16V
 - 提供可调的输出电压选项
- 工作结温范围：- 40°C - + 125°C
- 提供固定 500KHz 的开关频率
- 3A 最大连续输出电流
- 高达 94% 的系统转换效率
- 逐周期限流保护
- 安全、可靠运行特性
 - 内部软启动
 - 过热和过流保护
 - 输出短路保护
- 超小型方案尺寸
 - 小型 SOT23-6 封装
- 在整个负载范围内具有高效率 and 低功率耗散

订购信息

器件型号	封装	封装尺寸
JZ5124	SOT23-6	3.0mm x 3.0mm

说明

JZ5124是一个宽输入电压范围、高转换效率的同步降压转换器。JZ5124提供高达3A的负载电流能力，输出电压在宽范围内可调。内部集成的峰值电流控制模式允许外部电路使用小型器件（包括陶瓷电容和小型封装电感），同时低输出电压纹波的特点使得JZ5124在高精度、低噪声的使用中发挥重要作用。内部集成的开关 MOSFET、环路补偿以及软启动，极大减少了外部器件的数量，可以实现小尺寸方案设计。JZ5124同时具备极快的负载瞬态响应和极高的系统转换效率使JZ5124成为多种工业和消费级应用的理想选择。

应用

- 12V、19V 分布式电源总线电源
- 工业级
 - 视频监控和安全系统
 - 用电器
- 消费级
 - 数字电视和液晶显示器
 - 数字机顶盒

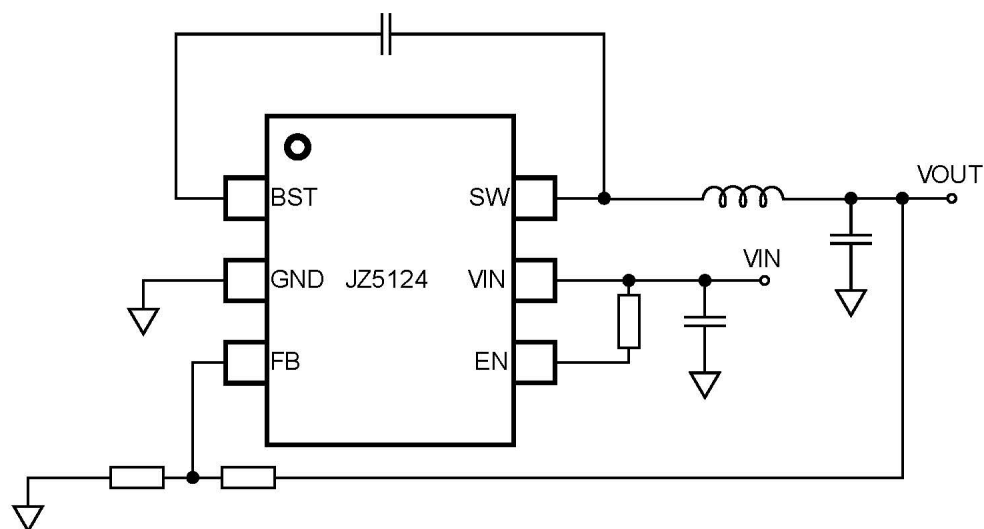


图 1 典型应用拓扑

封装与引脚排列

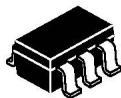


图 2 SOT23-6 Package

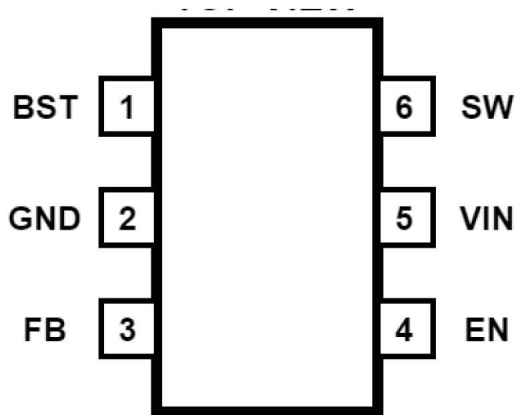


图 3 PACKAGE REFERENCE TOP VIEW

$T_{MAX}=125^{\circ}C, \theta_{JA}=173^{\circ}C/W$

引脚功能

引脚编号	引脚名称	说明
1	BST	自举电路引脚。把高侧 MOSFET 的 Gate 端电压升高，需要在该引脚和 SW 引脚之间连接 0.1 μ F 电容器使用。
2	GND	功率地引脚。
3	FB	反馈输入引脚。通过外部电阻分压，将输出端的电压波动反馈回 IC，同时通过电阻分压比设置输出电压值。
4	EN	输出使能引脚。置高使能输出；置低关闭输出 ⁽¹⁾ 。
5	VIN	电源输入引脚。在该引脚和 GND 引脚之间连接 10 μ F 或更大的旁路电容进行滤波 ⁽²⁾ 。
6	SW	转换器开关节点。外部连接功率电感。

(1) 提供的典型应用图及解决方案均将 EN 引脚通过 1M 电阻连接到 VIN 进行上拉，不建议将此引脚空接。

(2) 注意滤波电容的滤波半径，方便起见，尽量将电容靠近芯片放置。

绝对最大值 (1)

温度范围: -40°C — $+125^{\circ}\text{C}$ (除非另有说明)

参数	最小值	最大值	单位
VIN、SW 至 GND 电压	- 0.3	26	V
BST 至 SW 电压	- 0.3	6	
FB、EN 至 GND 电压	- 0.3	6	
储存温度 (Storage temperature) T_{stg}	- 65	+ 150	$^{\circ}\text{C}$
结温 (Junction Temperature) T_J	- 40	+125	

(1) 如果器件工作条件超过上述“绝对最大值”，可能引起器件永久性损坏。这仅是极限参数，不建议器件在极限值或超过极限值的条件下工作，器件长时间工作在极限条件下可能会影响其可靠性。

推荐工作条件 (1)

		最小值	最大值	单位
输入电压	VIN 至 GND 电压	4.5	24	V
	EN 至 GND 电压	3	5.5	
输出电压	V_{OUT}	0.6	19	
输出电流	I_{OUT}	0	3	A
结温	T_J	- 40	+ 125	$^{\circ}\text{C}$

(1) 推荐工作条件表示芯片在何种情况下可以正常工作，但不代表具体参数性能，详细请参考后文的技术规格。

功能框图

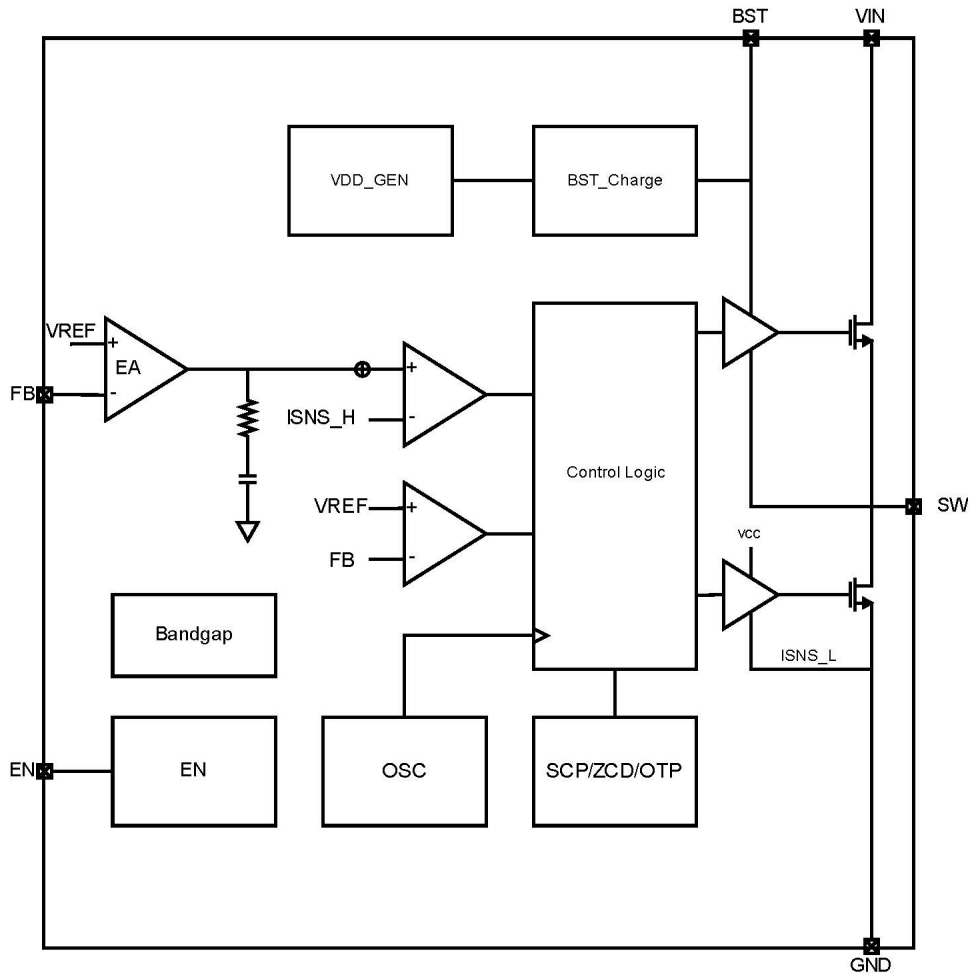
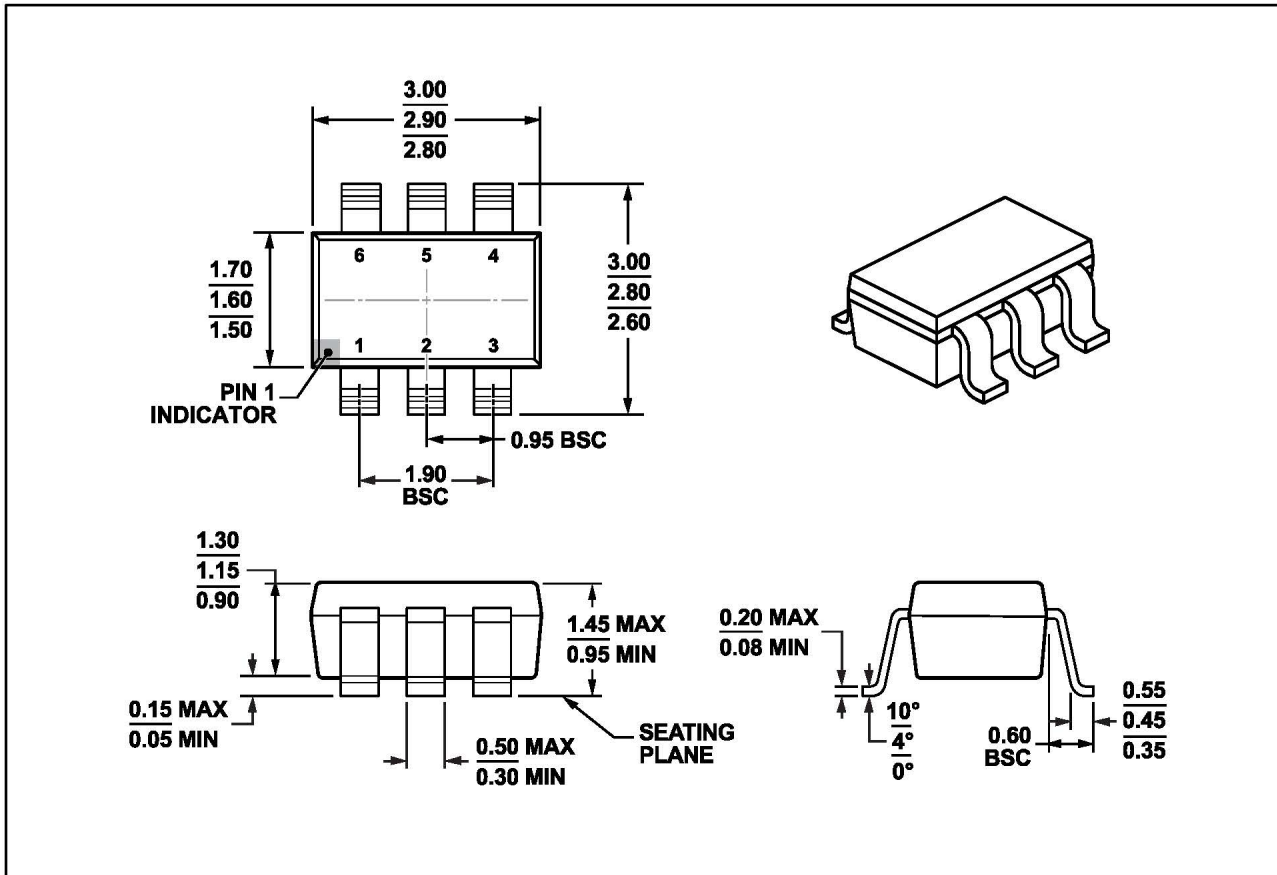


图4 内部功能框图

封装外形描述

1.45mm 高度 6 引脚 SOT-23 塑封 SOIC

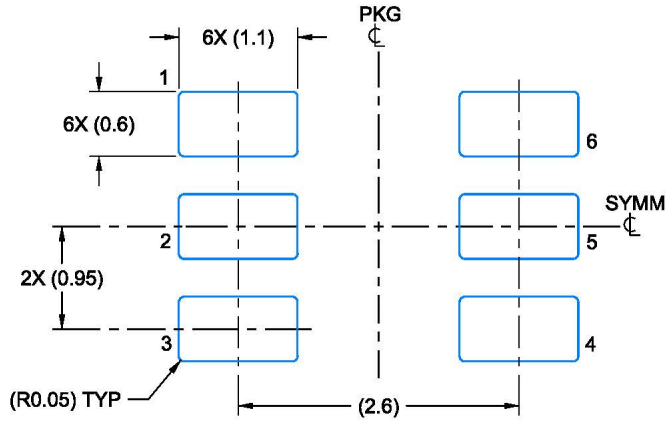


NOTE:

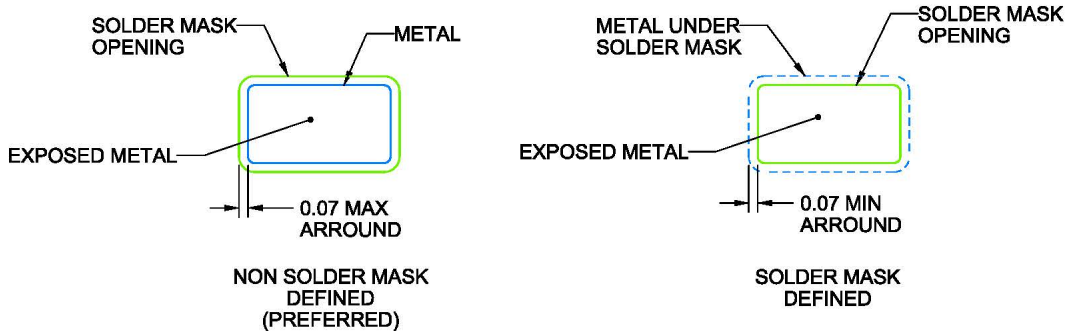
- (1) 所有的数据单位都是毫米，括号内的任何尺寸仅供参考。尺寸和公差符合 ASME Y14.5M。
- (2) 本图如有更改，恕不另行通知。
- (3) 此尺寸不包括塑模毛边，塑模每侧的毛边或突起不超过 0.25 毫米。

器件封装焊盘布局举例

1.45mm 高度 6 引脚 SOT-23 塑封 SOIC



器件封装焊盘布局举例
SCALE:15X

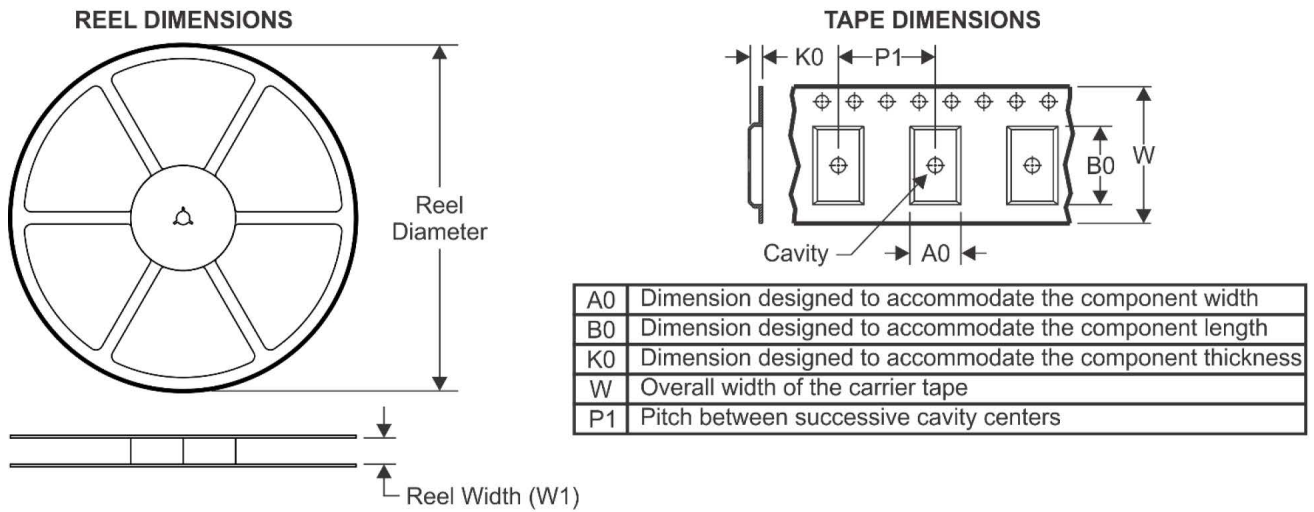


焊盘阻焊部详解
PADS 1-6

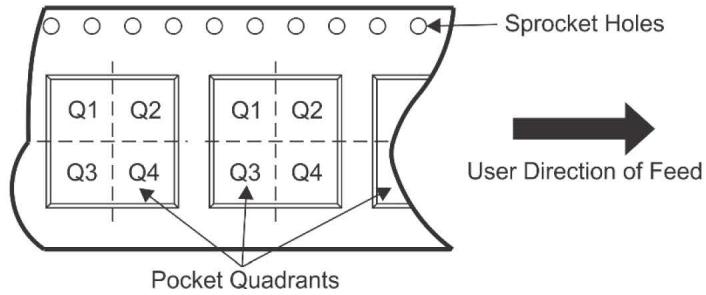
NOTE:

- (1) 基于 IPC-7351 依赖于久经考验的数学算法，综合考虑了制造、组装和元件容差，从而精确计算的焊盘图形。
- (2) 信号焊盘之间和周围的焊接掩膜公差可能因电路板制造而异。

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*ALL dimensions are nominal

Package Type	Package Drawing	Pins	SPQ	Reel Width W1(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SOT23-6	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	1.4	Q3